

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-074094  
 (43)Date of publication of application : 18.03.1997

(51)Int.Cl. H01L 21/3205  
 C25D 5/02  
 H01L 21/306

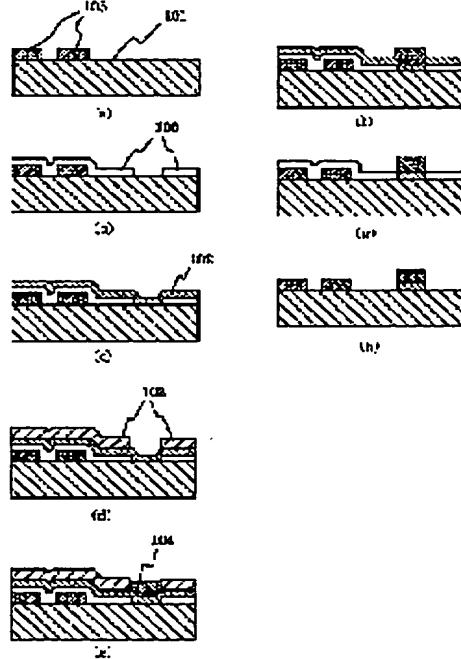
(21)Application number : 07-227850 (71)Applicant : NIPPON TELEGR & TELEPH CORP  
 <NTT>  
 (22)Date of filing : 05.09.1995 (72)Inventor : MINO SHINJI  
 AKAHORI YUJI  
 OYAMA TAKAHARU

## (54) FORMATION OF ELECTRICALLY CONDUCTING FILM

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To form a wiring pattern by electroplating on a substrate having exposed electrodes and electric wiring pattern already formed thereon, by applying a protective film to a region of conductor on the substrate to prevent etching or corrosion of the existing electrodes and electric wiring pattern.

**SOLUTION:** A protective film 106 is subjected to a patterning process to coat exposed electrodes and electric wiring pattern 105. A thin, electrically-conductive underlying layer 102 for electroplating is formed on an entire surface of a substrate 101. Formed on the underlying film 102 is a pattern of electroplating resist 103. Formed on an area of the underlying film 102 to be exposed is a pattern of electroplated wiring 104. The electroplating resist 103 is removed with use of a release agent. The resultant sample is subjected to an etching process to thereby remove the underlying layer 102 other than the area on which the electroplating wiring pattern 104 is formed. Thus the electric wiring pattern can be formed on the substrate having the existing electrodes and electric wiring lines already formed thereon.



## LEGAL STATUS

[Date of request for examination] 08.10.1999

[Date of sending the examiner's decision of rejection] 29.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-74094

(43)公開日 平成9年(1997)3月18日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/3205			H 01 L 21/88	E
C 25 D 5/02			C 25 D 5/02	Z
H 01 L 21/306			H 01 L 21/306	F

審査請求 未請求 請求項の数3 O L (全7頁)

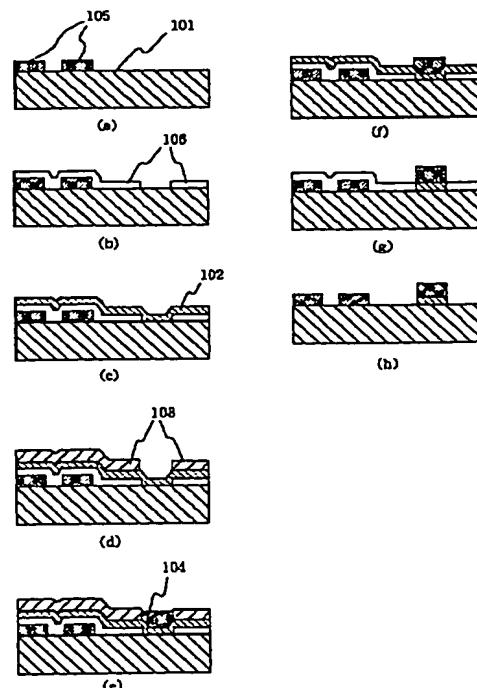
(21)出願番号	特願平7-227850	(71)出願人	000004226 日本電信電話株式会社 東京都新宿区西新宿三丁目19番2号
(22)出願日	平成7年(1995)9月5日	(72)発明者	美野 真司 東京都千代田区内幸町1丁目1番6号日本電信電話株式会社内
		(72)発明者	赤堀 裕二 東京都千代田区内幸町1丁目1番6号日本電信電話株式会社内
		(72)発明者	大山 貴晴 東京都千代田区内幸町1丁目1番6号日本電信電話株式会社内
		(74)代理人	弁理士 福森 久夫

## (54)【発明の名称】導電体膜の形成方法

## (57)【要約】

【課題】既に電極・電気配線が存在する基板上に、電気メッキによる電気配線の形成が可能な導電体膜の形成方法を提供する。

【解決手段】本発明の導電体膜の形成方法は、表面の一部に予め導電体膜aが形成された基板上に、新たに導電体膜bを形成する導電体膜の形成方法において、前記基板上の少なくとも前記導電体膜aが形成された領域を、エッティング耐性を有する保護層で被覆する第1工程と、前記導電体膜bを形成する導電体膜形成領域を少なくとも含む領域を、前記導電体膜bの下地層で被覆する第2工程と、前記導電体膜形成領域以外の領域を、電気メッキ用レジスト層で被覆する第3工程と、前記導電体膜形成領域に電気メッキを行う第4工程と、前記導電体膜形成領域以外にある、前記電気メッキ用レジスト層、前記下地層、及び前記保護層を除去する第5工程と、からなることを特徴とする。



## 【特許請求の範囲】

【請求項1】 表面の一部に予め導電体膜aが形成された基板上に、新たに導電体膜bを形成する導電体膜の形成方法において、前記基板上の少なくとも前記導電体膜aが形成された領域を、エッティング耐性を有する保護層で被覆する第1工程と、前記導電体膜bを形成する導電体膜形成領域を少なくとも含む領域を、前記導電体膜bの下地層で被覆する第2工程と、前記導電体膜形成領域以外の領域を、電気メッキ用レジスト層で被覆する第3工程と、前記導電体膜形成領域に電気メッキを行う第4工程と、前記導電体膜形成領域以外にある、前記電気メッキ用レジスト層、前記下地層、及び前記保護層を除去する第5工程と、からなることを特徴とする導電体膜の形成方法。

【請求項2】 前記第5工程において、前記下地層の除去をエッティングにより行うことを特徴とする請求項1に記載の導電体膜の形成方法。

【請求項3】 前記第5工程において、前記下地層と前記保護層を同時に取り除くことを特徴とする請求項1に記載の導電体膜の形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、導電体膜の形成方法に係る。より詳細には、露出した電極・電気配線が既に形成された基板上に、電気メッキによる配線を作製することができる導電体膜の形成方法に関する。好適には、複数又はノ及び多層の電気配線を同一基板上に形成する必要がある集積回路等の分野で用いられる。

## 【0002】

【従来の技術】 通信や情報処理の高度化に伴い、電子デバイス、IC等を高速に駆動する電子集積回路の研究が盛んに行われている。特に、ICなどの配置の自由度を増し、かつマイクロストリップ線路など高周波用電気配線をも実現するために、多層の電気配線を同一基板上に形成する技術が求められている。とりわけ高周波用の電気配線では、その電気配線をなす金属導体が一定の厚み以上（例えは、2μm以上）を有するのほうが特性が良いため、電気メッキによる電気配線層の形成が要求されることも多い。

【0003】 図5は、パターン化した電気配線層を電気メッキにより基板上に形成する、従来例に係るプロセス工程の断面図である。図5において、501は基板、502は薄い導電性の下地層、503は電気メッキ用レジスト、504は電気メッキにより形成された電気配線である。

【0004】 以下では、形成方法を手順にしたがって説明する。

（1）基板501の全面に、薄い導電性の下地層502を形成する。この下地層502は、電気配線の厚さを基板内で一定にするために用いられる。高速で電気信号を伝達するために用いる集積用の電気配線では、微細なパターン形状と膜厚の均一性とが共に強く求められる。しかし、電気メッキでは電流密度分布が直接に膜形成速度に影響するため、あらかじめパターン化した電極上に電気メッキを行うと、膜厚分布が大きくなることが知られている。そのためこののような薄い導電性の下地層502を、基板501の全面に形成する必要がある。

【0005】 （2）電気メッキ用レジスト503をパターン化し、電気メッキ電気配線を形成する部分以外をカバーする（図5（a））。

（3）電気メッキを行い、必要な厚さの電気配線504を形成する（図5（b））。

（4）保護層としての役割も有する電気メッキ用レジスト503を除去する（図5（c））。

（5）工程（1）において形成した薄い導電性の下地層502をエッティングにより除去し、電気メッキした部分のみを残す（図5（d））。

【0006】 以上的方法は、1層の電気メッキ電気配線を形成する一般的な方法である。しかしながら、高周波集積回路用の配線では、同一基板上に、複数又はノ及び多層の電気配線を形成する技術が求められている。すなわち、表面に露出した電極・電気配線が既に存在する基板上に、上述したような電気メッキの配線を形成する必要がある。この場合、図5に示したプロセスでは、薄い導電性の下地層502をエッティングにより除去する時（図5（d））に、基板上に既に形成された下部電極・電気配線と一緒にエッティングされる、あるいは腐食されるという問題があった。したがって、従来の電気メッキによる配線の形成方法を、既に露出した電極・電気配線が形成された基板に適用することはできなかった。

## 【0007】

【発明が解決しようとする課題】 本発明は、露出した電極・電気配線が既に形成された基板上に、電気メッキによる配線を形成できる導電体膜の形成方法を提供することを目的とする。

## 【0008】

【課題を解決するための手段】 本発明の導電体膜の形成方法は、表面の一部に予め導電体膜aが形成された基板上に、新たに導電体膜bを形成する導電体膜の形成方法において、前記基板上の少なくとも前記導電体膜aが形成された領域を、エッティング耐性を有する保護層で被覆する第1工程と、前記導電体膜bを形成する導電体膜形成領域を少なくとも含む領域を、前記導電体膜bの下地層で被覆する第2工程と、前記導電体膜形成領域以外の領域を、電気メッキ用レジスト層で被覆する第3工程と、前記導電体膜形成領域に電気メッキを行う第4工程と、前記導電体膜形成領域以外にある、前記電気メッキ

用レジスト層、前記下地層、及び前記保護層を除去する第5工程と、からなることを特徴とする。

【0009】

【作用】請求項1に係る発明では、前記基板上の少なくとも前記導電体膜aが形成された領域を、エッティング耐性を有する保護層で被覆する第1工程を設けたため、電気メッキを行った後、薄い導電性の下地層を除去する際、既に存在する電気配線・電極がエッティングまたは腐食されることがない。したがって、上面が露出した電極・電気配線が既に形成された基板上に、電気メッキ電気配線を形成することができる。

【0010】また、前記基板としては、電極・電気配線の一部が、誘電体により既に覆われたものを用いてよい。この場合には多層電気配線が電気メッキ電気配線により形成可能となる。

【0011】請求項2に係る発明では、前記第5工程において、前記下地層の除去をエッティングにより行うため、下地層の種類に適したエッティングガス、あるいはエッティング溶液を選ぶことにより、エッティング速度を含むエッティング条件を最適化することが可能となる。

【0012】請求項3に係る発明では、前記第5工程において、前記下地層と前記保護層を同時に取り除くため、リフトオフ法の適用が可能となる。

【0013】

【実施例】以下、図面を参照して本発明の導電体膜の形成方法を詳細に説明するが、本発明はこれらの実施例に限定されるものではない。

【0014】(実施例1)図1は、本例に係る電気メッキによる配線形成プロセスを説明した模式的断面図である。図1において、101は基板、102は薄い導電性の下地層、103は電気メッキパターン用のレジスト、104は形成された電気配線、105は露出した電極・電気配線、106は保護層である。

【0015】以下では、形成方法を手順にしたがって説明する。

(1) 基板101としては、露出した電極・電気配線105が既に蒸着法により形成されたものを使用した(図1(a))。露出した電極・電気配線105としては、平均高低差が1μm程度であり、金から構成されたものを用いた。

【0016】(2) 保護層106をパターン化し、180°Cで30分間ポストベークすることにより、露出した電極・電気配線105を被覆した(図1(b))。保護層106を形成する材料としては、シブレーファーイースト社製のマイクロポジットS1400-17を用いた。

【0017】(3) 電気メッキ用の薄い導電性の下地層102を、基板101の全面に形成した(図1(c))。下地層102としては、膜厚が0.3μmの金からなる薄膜を用いた。

【0018】(4) 下地層102の上に、電気メッキ用レジスト103をパターン化し形成した(図1(d))。電気メッキ用レジスト103としては、シブレーファーイースト社製のマイクロポジットS1400-25を用い、レジスト膜厚は10μmとした。

【0019】(5) 下地層102の露出部分の上に、電気メッキ電気配線104を形成した(図1(e))。電気メッキ電気配線104は、金から構成されており、平均高低差が5μm程度、配線幅が細かいところで20μmとした。

【0020】(6) 電気メッキ用レジスト103を、剥離剤(シブレーファーイースト社製のマイクロポジット、リムーバー1165)により取り除いた(図1(f))。

【0021】(7) 上記(6)でえられた試料をエッティングすることによって、電気メッキ電気配線104を形成した領域以外の下地層102を除去した(図1(g))。エッティング溶液としては、ヨウ化カリウム20%、ヨウ素10%からなる混合水溶液を用い、室温で1分間浸漬した。

【0022】この際、電極・電気配線105は保護層106によって保護されているため、下地層102が除かれる時に共にエッティングされたり、あるいは腐食されたりしない。また、電気メッキ電気配線104は、薄い下地層102に比べてずっと厚いため、下地層102がエッティングされる間、共にエッティングされても良い。あるいは電気メッキ電気配線104の表面をパターン化されたレジストで保護して下地層102のエッティングを行なっても良い。

【0023】(8) 保護層106を除去し、電気メッキ電気配線104を完成させた(図1(h))。上述した保護層の材質については、保護層106を除去する際に、露出した電極・電気配線105が腐食あるいは除去されたりしなければ、上記(2)で挙げた材料に限定されるものではない。例えば、通常のレジストでも、他の誘電体でも構わない。

【0024】上述したこのように、最初に保護層106をパターン化して電極・電気配線105を覆い保護したため、電気メッキ用下地層102を除く際、電極・電気配線105が全くエッティング、あるいは腐食されることなく電気メッキ電気配線104を形成することができた(請求項1)。

【0025】(実施例2)本例では、薄い導電性の下地層202と同時に保護層206を除去する、リフトオフ法を用いた点が実施例1と異なる。他の点は、実施例1と同様とした。

【0026】図2は、本例に係る電気メッキによる配線形成プロセスを説明した模式的断面図である。図2において、201は基板、202は薄い導電性の下地層、203は電気メッキパターン用のレジスト、204は形成

された電気配線、205は露出した電極・電気配線、206は保護層である。

【0027】以下では、形成方法を手順にしたがって説明する。但し、工程(1)~(6)までは、実施例1と同様である。

【0028】実施例1の工程(7)と(8)の代わりに、次の工程(7)'を行った。

(7)' 薄い導電性の下地層202(材質:金、膜厚:0.3μm)を直接エッティングせず、試料全体をアセトンに浸すことにより、その下の保護層206(シブレーファーイースト社製のマイクロポジットS1400-17)を溶かし、それと共に下地層202が同時に剥離して結果的に除去される、いわゆるリフトオフ法を用いた。

【0029】このような方法を用いれば、従来十分に検討例のあるリフトオフ法の技術を本発明の電気メッキ電気配線の形成方法に応用することができる。

【0030】また、レジスト203と保護層206に対して同じ溶媒に溶解する材料を用い、レジスト203及び保護層206を同時に除くことにより、下地層202が同時に除かれるリフトオフ法によって、電気配線204を形成しても良い。

【0031】(実施例3)本例では、基板301上に、誘電体307により覆われた電極・電気配線を含む電極・電気配線305が、既に形成されている点が実施例1と異なる。他の点は、実施例1と同様とした。

【0032】図3は、本例に係る電気メッキによる配線形成プロセスを説明した模式的断面図である。図3において、301は基板、302は薄い導電性の下地層、303は電気メッキパターン用のレジスト、304は形成された電気配線、305は露出した電極・電気配線、306は保護層、307は誘電体である。

【0033】本例で示した誘電体307を導入することによって、多層電気配線を形成することが可能となつた。

【0034】(実施例4)本例では、基板401上に、光導波路のクラッド408とコア409が既に形成されている点が実施例3と異なる。光導波路としては、別途火炎堆積法で作製した、埋め込み型構造で、材質が石英ガラスからなり、高さが6μmで幅が6μmであるものを用いた。他の点は、実施例1と同様とした。

【0035】図4は、本例に係る電気メッキによる配線形成プロセスを説明した模式的断面図である。図4において、401は基板、402は薄い導電性の下地層、403は電気メッキパターン用のレジスト、404は形成された電気配線、405は露出した電極・電気配線、406は保護層、407は誘電体、408はクラッド、409はコアである。

【0036】本例に示したとおり、クラッド408とコア409からなる光導波路が既に形成されている基板上にも、電気メッキの電気配線を形成できることが分かった。

【0037】光導波路を構成する材料としては、上述したもの以外に、例えば、石英、ポリイミドなどあらゆる種類のものが挙げられる。また、光導波路の構造としては、埋め込み型等、あらゆる構造のものに適用が可能である。

【0038】

【発明の効果】以上説明したように、本発明によれば、既に電極・電気配線が存在する基板上に、電気メッキによる電気配線の形成が可能な導電体膜の形成方法がえられる。

【0039】すなわち、集積回路および高周波電気配線において必要とされる、微細にパターン化され、かつ、一定の厚みを有する電気配線層を、既に電極・電気配線のある基板上に形成することができ、さらには多層配線の形成も可能とした導電体膜の形成方法がえられる。

【0040】本発明は、光導波路が既に存在する基板においても適応できることから、光電子ハイブリッド集積回路への応用も可能である。

【図面の簡単な説明】

【図1】本発明の実施例1に係る電気メッキ電気配線の形成方法を示した模式的断面図である。

【図2】本発明の実施例2に係る電気メッキ電気配線の形成方法を示した模式的断面図である。

【図3】本発明の実施例3に係る電気メッキ電気配線の形成方法を示した模式的断面図である。

【図4】本発明の実施例4に係る電気メッキ電気配線の形成方法を示した模式的断面図である。

【図5】従来例に係る電気メッキ電気配線の形成方法を示した模式的断面図である。

【符号の説明】

101、201、301、401、501 基板、  
102、202、302、402、502 薄い導電性の下地層、

103、203、303、403、503 電気メッキ用レジスト、

104、204、304、404、504 電気メッキにより形成された電気配線、

105、205、305、405、505 露出した電極・電気配線、

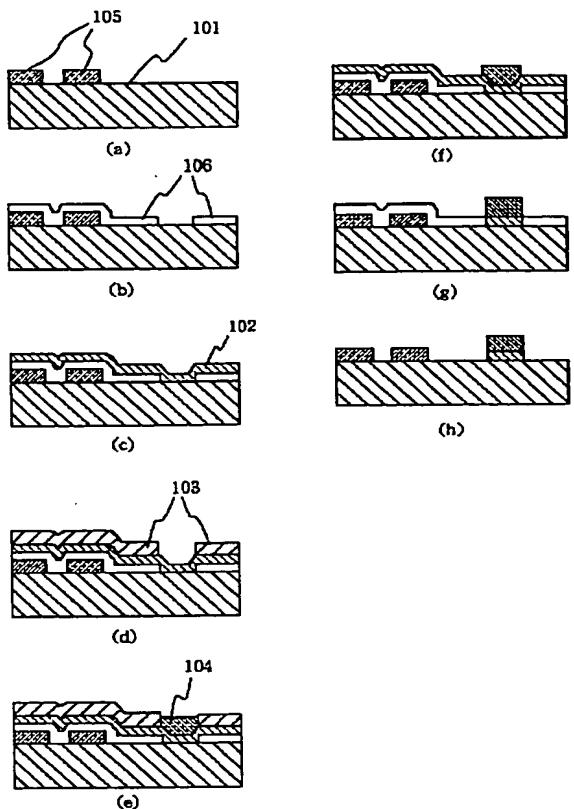
106、206、306、406、506 保護層、

307、407 誘電体、

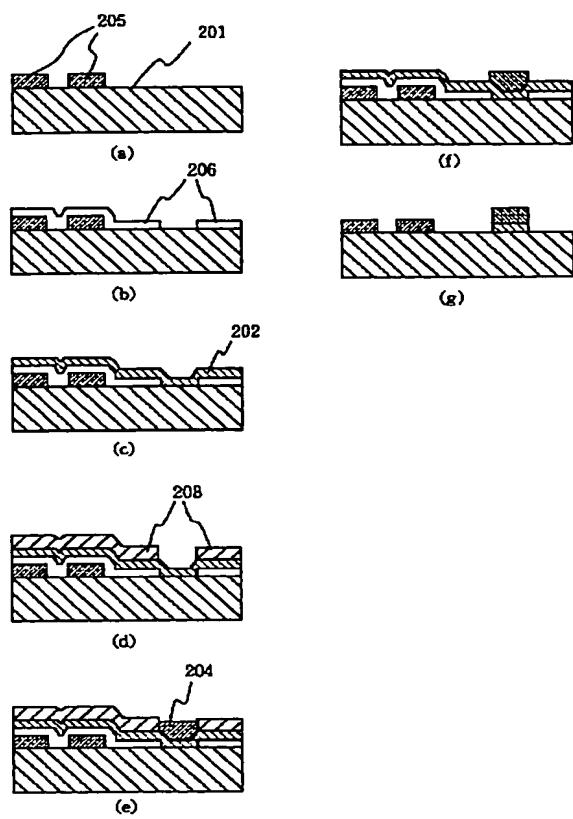
408 光導波路クラッド、

409 光導波路コア。

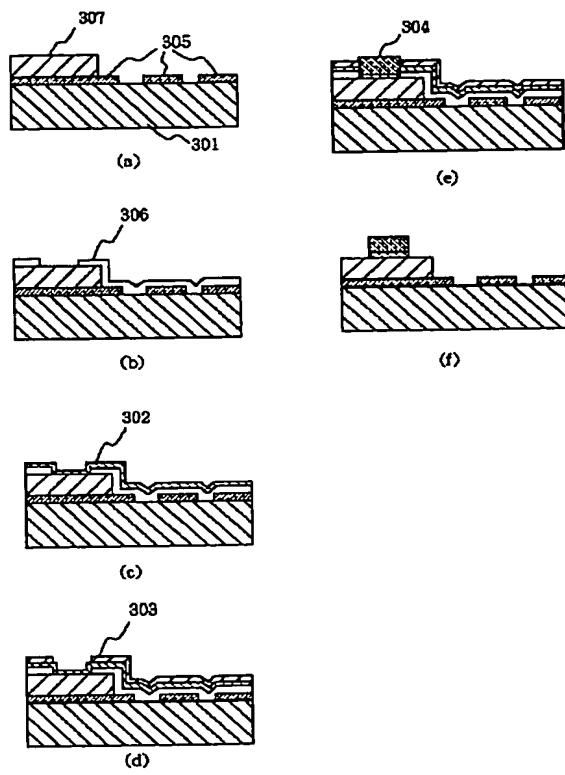
【図1】



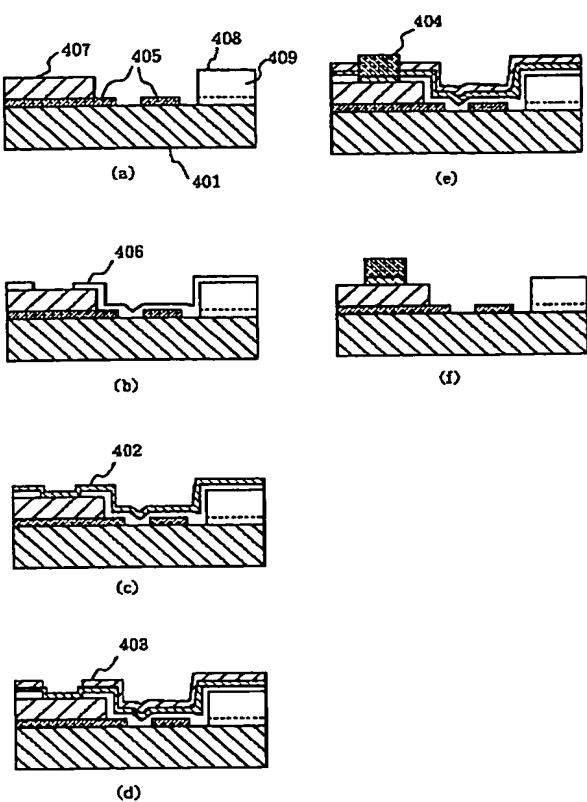
【図2】



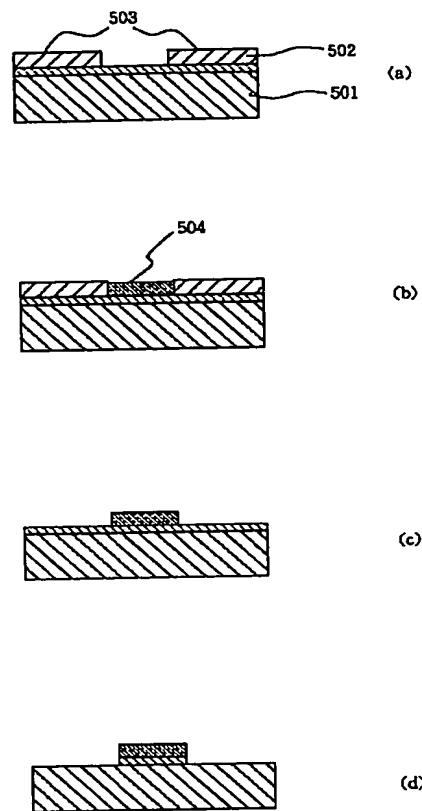
【図3】



【図4】



【図5】



\* NOTICES \*

**JPO and NCIPi are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] In the formation approach of the conductor film which newly forms the conductor film b on the substrate with which the conductor film a was beforehand formed in surface [ a part of ] The 1st process which covers the field on said substrate in which said conductor film a was formed at least with the protective layer which has etching resistance, The 2nd process which covers with the substrate layer of said conductor film b the field which includes at least the conductor film formation field which forms said conductor film b, The 3rd process which covers fields other than said conductor film formation field with the resist layer for electroplating, the 4th process which performs electroplating to said conductor film formation field, and the 5th process which removes said resist layer for electroplating which exists in addition to said conductor film formation field, said substrate layer, and said protective layer -- since -- the formation approach of the conductor film characterized by becoming.

[Claim 2] The formation approach of the conductor film according to claim 1 characterized by removing said substrate layer by etching in said 5th process.

[Claim 3] The formation approach of the conductor film according to claim 1 characterized by removing said substrate layer and said protective layer to coincidence in said 5th process.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the formation approach of the conductor film. The electrode and electric wiring exposed more to the detail are related with the formation approach of the conductor film which can produce wiring by electroplating on the already formed substrate. Suitably, it is used in fields, such as an integrated circuit which needs to form plurality or/and multilayer electric wiring on the same substrate.

[0002]

[Description of the Prior Art] Research of the electronic integrated circuit which drives an electron device, IC, etc. at a high speed is briskly done with the advancement of a communication link or information processing. In order to also realize electric wiring for RFs, such as increase of a degree of freedom, a microstrip line, etc. of arrangement, such as IC, especially, the technique which forms multilayer electric wiring on the same substrate is searched for. Since the having-more than thickness (for example, 2 micrometers or more) with fixed metallic conductor which makes the electric wiring way of a property is good, the electric wiring for RFs especially requires formation of the electric wiring layer by electroplating in many cases.

[0003] Drawing 5 is a sectional view of the process process concerning the conventional example which forms the patternized electric wiring layer on a substrate by electroplating. In drawing 5, it is the electric wiring in which a conductive substrate layer with 501 [ thin / a substrate and 502 ] and 503 were formed in of the resist for electroplating, and 504 was formed of electroplating.

[0004] Below, the formation approach is explained according to a procedure.

(1) Form the thin conductive substrate layer 502 all over a substrate 501. This substrate layer 502 is used in order to make thickness of electric wiring regularity within a substrate. In the electric wiring for accumulation used in order to transmit an electrical signal at high speed, both a detailed pattern configuration and the homogeneity of thickness are searched for strongly. However, since current density distribution influences a film formation rate directly, if electroplating is performed on the electrode patternized beforehand, it is known for electroplating that thickness distribution will become large. Therefore, it is necessary to form such a thin conductive substrate layer 502 all over a substrate 501.

[0005] (2) Patternize the resist 503 for electroplating and cover except the part which forms electroplating electric wiring ( drawing 5 (a) ).

(3) Perform electroplating and form the electric wiring 504 of required thickness ( drawing 5 (b) ).

(4) Remove the resist 503 for electroplating which also has a role of a protective layer ( drawing 5 (c) ).

(5) Etching removes the thin conductive substrate layer 502 formed in the process (1), and leave only the part which carried out electroplating ( drawing 5 (d) ).

[0006] The above approach is the general approach of forming the electroplating electric wiring of one layer. However, in wiring for RF integrated circuits, the technique which forms plurality or/and multilayer electric wiring on the same substrate is searched for. That is, it is necessary to form wiring of

electroplating which was mentioned above on the substrate with which the electrode and electric wiring exposed to the front face already exist. In this case, in the process shown in drawing 5, when etching removed the thin conductive substrate layer 502 (drawing 5 (d)), the lower electrode and electric wiring already formed on the substrate are etched together, or there was a problem that it was corroded.

Therefore, the formation approach of wiring by the conventional electroplating was inapplicable to the substrate with which the electrode and electric wiring already exposed were formed.

[0007]

[Problem(s) to be Solved by the Invention] This invention aims at offering the formation approach of the conductor film which can form wiring by electroplating on the substrate with which the exposed electrode and electric wiring were already formed.

[0008]

[Means for Solving the Problem] In the formation approach of the conductor film that the formation approach of the conductor film of this invention newly forms the conductor film b on the substrate with which the conductor film a was beforehand formed in surface [ a part of ] The 1st process which covers the field on said substrate in which said conductor film a was formed at least with the protective layer which has etching resistance, The 2nd process which covers with the substrate layer of said conductor film b the field which includes at least the conductor film formation field which forms said conductor film b, The 3rd process which covers fields other than said conductor film formation field with the resist layer for electroplating, the 4th process which performs electroplating to said conductor film formation field, and the 5th process which removes said resist layer for electroplating which exists in addition to said conductor film formation field, said substrate layer, and said protective layer -- since -- it is characterized by becoming.

[0009]

[Function] In invention concerning claim 1, in case a thin conductive substrate layer is removed after performing electroplating since the 1st process which covers the field on said substrate in which said conductor film a was formed at least with the protective layer which has etching resistance was established, the electric wiring and the electrode which already exists are not etched or corroded. Therefore, the electrode and electric wiring which the top face exposed can form electroplating electric wiring on the already formed substrate.

[0010] Moreover, as said substrate, a part of electrode and electric wiring may use what was already covered with the dielectric. In this case, formation of multilayer electric wiring is attained by electroplating electric wiring.

[0011] In invention concerning claim 2, in said 5th process, in order for etching to remove said substrate layer, it becomes possible by choosing the etching gas suitable for the class of substrate layer, or an etching solution to optimize the etching conditions containing an etch rate.

[0012] In invention concerning claim 3, in said 5th process, in order to remove said substrate layer and said protective layer to coincidence, it becomes applicable [ the lift-off method ].

[0013]

[Example] Hereafter, although the formation approach of the conductor film of this invention is explained to a detail with reference to a drawing, this invention is not limited to these examples.

[0014] (Example 1) Drawing 1 is a typical sectional view explaining the wiring formation process by electroplating concerning this example. In drawing 1, a conductive substrate layer with 101 [ thin / a substrate and 102 ], the resist for electroplating patterns in 103, the electric wiring in which 104 was formed, the electrode and electric wiring which exposed 105, and 106 are protective layers.

[0015] Below, the formation approach is explained according to a procedure.

(1) As a substrate 101, the exposed electrode and the electric wiring 105 used what was already formed by vacuum deposition (drawing 1 (a)). As the exposed electrode and electric wiring 105, the average difference of elevation is about 1 micrometer, and what consisted of gold was used.

[0016] (2) The exposed electrode and the electric wiring 105 were covered by patterning a protective layer 106 and carrying out postbake for 30 minutes at 180 degrees C (drawing 1 (b)). As an ingredient which forms a protective layer 106, micro POJITTO S1400-17 by the SHIPURE Far East company were

used.

[0017] (3) The conductive substrate layer 102 thin [ for electroplating ] was formed all over the substrate 101 ( drawing 1 (c)). As a substrate layer 102, thickness used the thin film which consists of gold which is 0.3 micrometers.

[0018] (4) The resist 103 for electroplating was patternized and formed on the substrate layer 102 ( drawing 1 (d)). Resist thickness could be 10 micrometers, using micro POJITTO S1400-25 by the SHIPURE Far East company as a resist 103 for electroplating.

[0019] (5) The electroplating electric wiring 104 was formed on the exposed part of the substrate layer 102 ( drawing 1 (e)). The electroplating electric wiring 104 consists of gold, and could be 20 micrometers in the place where the average difference of elevation has fine about 5 micrometers and wiring width of face.

[0020] (6) The resist 103 for electroplating was removed by the remover (micro POJITTO by the SHIPURE Far East company, remover 1165) ( drawing 1 (f)).

[0021] (7) By etching the sample obtained above (6), substrate layers 102 other than the field in which the electroplating electric wiring 104 was formed were removed ( drawing 1 (g)). As an etching solution, it was immersed for 1 minute at the room temperature using the mixed water solution which consists of 20% of potassium iodide, and 10% of iodine.

[0022] Under the present circumstances, since it is protected by the protective layer 106, an electrode and electric wiring 105 are etched when [ neither of ] the substrate layer 102 is removed, or is not corroded. Moreover, the electroplating electric wiring 104 may both be etched, while the substrate layer 102 is etched, since it is thick much compared with the thin substrate layer 102. Or it may protect by the resist which had the front face of the electroplating electric wiring 104 patternized, and the substrate layer 102 may be etched.

[0023] (8) The protective layer 106 was removed and the electroplating electric wiring 104 was completed ( drawing 1 (h)). About the quality of the material of a protective layer mentioned above, if the exposed electrode and electric wiring 105 are not corroded or removed in case a protective layer 106 is removed, it is not limited to the ingredient mentioned above (2). For example, other dielectrics are available also for the usual resist.

[0024] In this way, the protective layer 106 was patternized first, and since [ which was mentioned above ] an electrode and electric wiring 105 were covered and protected, when removing the substrate layer 102 for electroplating, the electroplating electric wiring 104 was able to be formed, without completely etching or corroding an electrode and electric wiring 105 (claim 1).

[0025] (Example 2) In this example, the point using the lift-off method of removing a protective layer 206 to the thin conductive substrate layer 202 and coincidence differs from an example 1. Other points presupposed that it is the same as that of an example 1.

[0026] Drawing 2 is a typical sectional view explaining the wiring formation process by electroplating concerning this example. In drawing 2 , a conductive substrate layer with 201 [ thin / a substrate and 202 ], the resist for electroplating patterns in 203, the electric wiring in which 204 was formed, the electrode and electric wiring which exposed 205, and 206 are protective layers.

[0027] Below, the formation approach is explained according to a procedure. However, process (1) - (6) is the same as that of an example 1.

[0028] Instead of (8), following process (7)' was performed with the process (7) of an example 1.

(7) -- ' -- the so-called lift-off method which melts the protective layer 206 (micro POJITTO S1400-17 by the SHIPURE Far East company) under it, and the substrate layer 202 exfoliates in coincidence and is removed as a result with it was used by not etching the thin conductive substrate layer 202 (quality of the material: gold, thickness:0.3micrometer) directly, but dipping the whole sample in an acetone.

[0029] If such an approach is used, the technique of the lift-off method which has the examples of examination of enough conventionally is applicable to the formation approach of the electroplating electric wiring of this invention.

[0030] Moreover, the substrate layer 202 may form electric wiring 204 by the lift-off method removed by coincidence by removing a resist 203 and a protective layer 206 to coincidence using the ingredient

which dissolves in the same solvent to a resist 203 and a protective layer 206.

[0031] (Example 3) In this example, it differs from an example 1 in that the electrode and the electric wiring 305 containing the electrode and electric wiring covered with the dielectric 307 are already formed on the substrate 301. Other points presupposed that it is the same as that of an example 1.

[0032] Drawing 3 is a typical sectional view explaining the wiring formation process by electroplating concerning this example. As for a conductive substrate layer with 301 [ thin / a substrate and 302 ], the resist for electroplating patterns in 303, the electric wiring in which 304 was formed, the electrode and electric wiring which exposed 305, and 306, in drawing 3 , a protective layer and 307 are dielectrics.

[0033] By introducing the dielectric 307 shown by this example, it became possible to form multilayer electric wiring.

[0034] (Example 4) In this example, it differs from an example 3 in that the clad 408 and core 409 of optical waveguide are already formed on the substrate 401. As optical waveguide, it was the embedding mold structure separately produced by the flame depositing method, and the quality of the material consisted of quartz glass, and height used that whose width of face is 6 micrometers by 6 micrometers. Other points presupposed that it is the same as that of an example 1.

[0035] Drawing 4 is a typical sectional view explaining the wiring formation process by electroplating concerning this example. For a conductive substrate layer with 401 [ thin / a substrate and 402 ], the resist for electroplating patterns in 403, the electric wiring in which 404 was formed, the electrode and electric wiring which exposed 405, and 406, as for a dielectric and 408, in drawing 4 , a protective layer and 407 are [ a clad and 409 ] cores.

[0036] It turned out that the electric wiring of electroplating can be formed also on the substrate with which the optical waveguide which consists of a clad 408 and a core 409 is already formed as shown in this example.

[0037] As an ingredient which constitutes optical waveguide, all kinds, such as a quartz and polyimide, of things are mentioned in addition to what was mentioned above. Moreover, as structure of optical waveguide, an embedding mold etc. is applicable to the thing of all structures.

[0038]

[Effect of the Invention] As explained above, according to this invention, the formation approach of the conductor film which can form the electric wiring by electroplating is acquired on the substrate with which an electrode and electric wiring already exist.

[0039] That is, the electric wiring layer which is needed in an integrated circuit and RF electric wiring and which is patternized minutely and has fixed thickness can be formed on the substrate which already has an electrode and electric wiring, and the formation approach of the conductor film which also enabled formation of a multilayer interconnection further is acquired.

[0040] Since optical waveguide can be adapted also in the substrate which already exists, the application to a photoelectron hybrid integrated circuit is also possible for this invention.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the typical sectional view having shown the formation approach of starting-example 1 of this invention electroplating electric wiring.

[Drawing 2] It is the typical sectional view having shown the formation approach of starting-example 2 of this invention electroplating electric wiring.

[Drawing 3] It is the typical sectional view having shown the formation approach of starting-example 3 of this invention electroplating electric wiring.

[Drawing 4] It is the typical sectional view having shown the formation approach of starting-example 4 of this invention electroplating electric wiring.

[Drawing 5] It is the typical sectional view having shown the formation approach of starting-conventional example electroplating electric wiring.

[Description of Notations]

101, 201, 301, 401, 501 Substrate,

102, 202, 302, 402, 502 Thin conductive substrate layer,

103, 203, 303, 403, 503 Resist for electroplating,

104, 204, 304, 404, 504 Electric wiring formed of electroplating,

105, 205, 305, 405, 505 The exposed electrode and electric wiring,

106, 206, 306, 406, 506 Protective layer,

307 407 Dielectric,

408 Optical Waveguide Clad,

409 Optical waveguide core.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

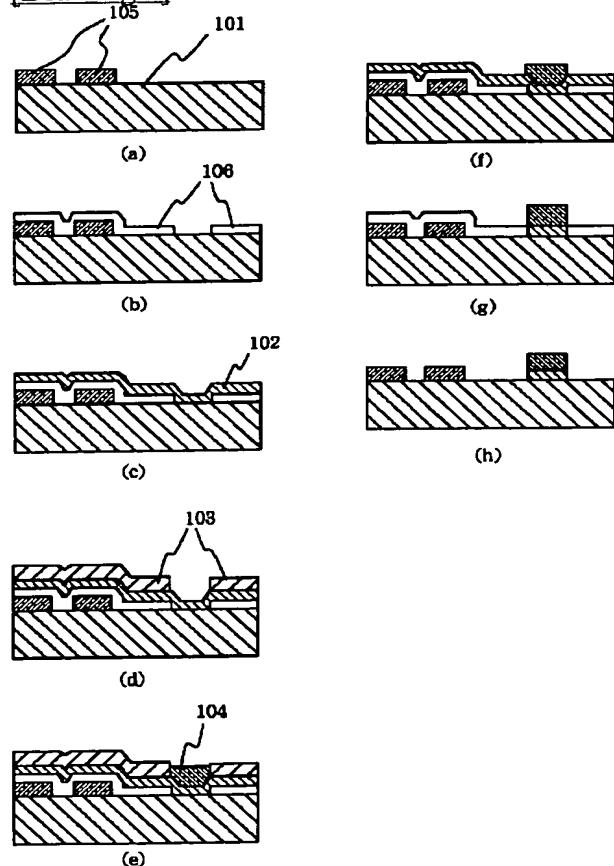
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

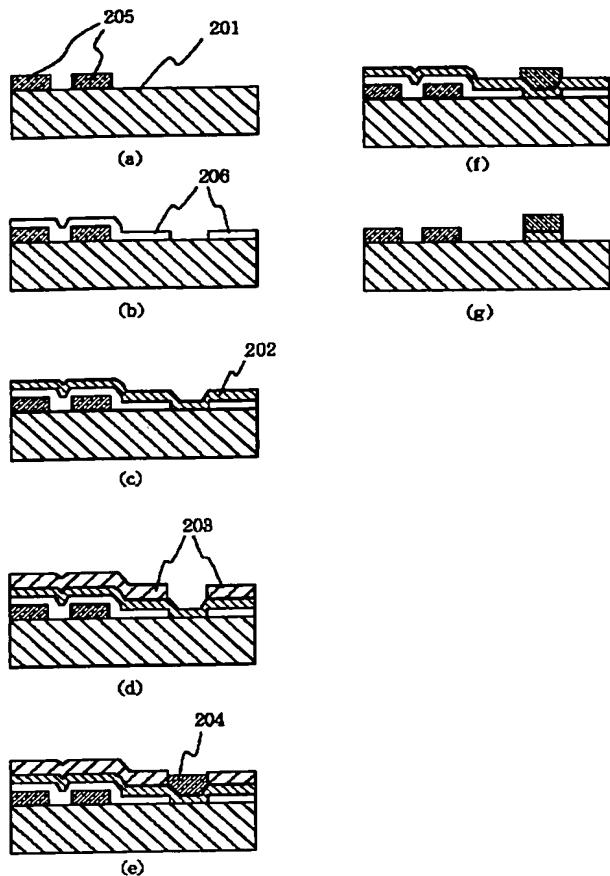
DRAWINGS

---

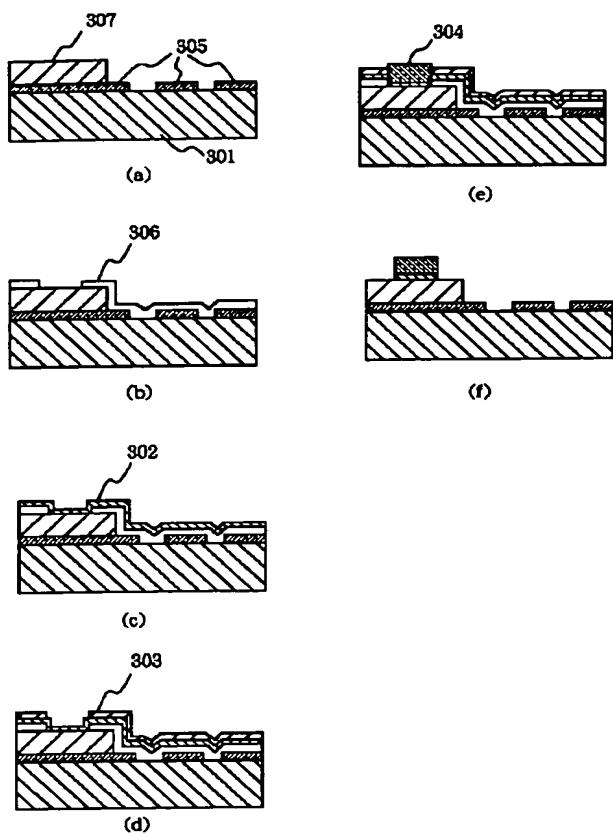
## [Drawing 1]



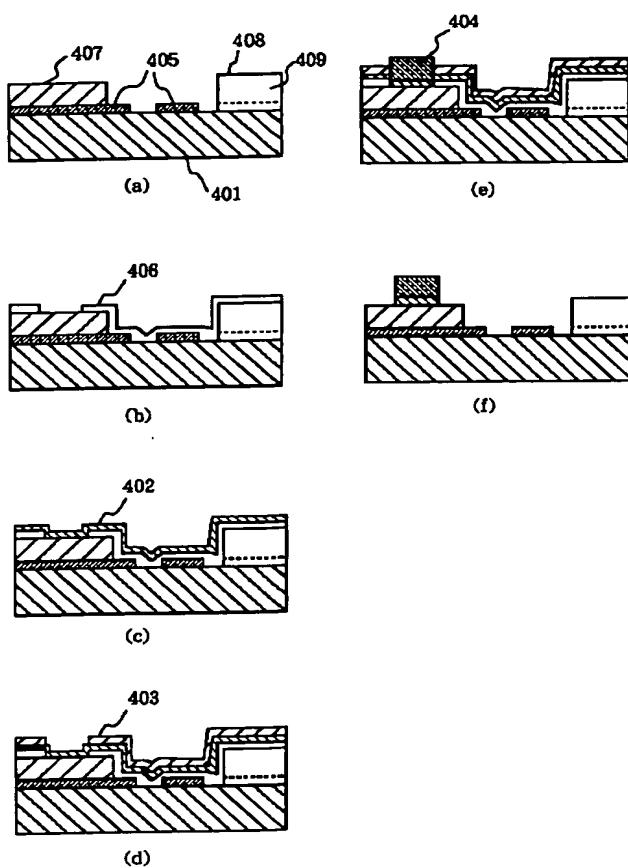
## [Drawing 2]



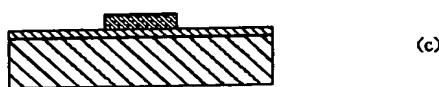
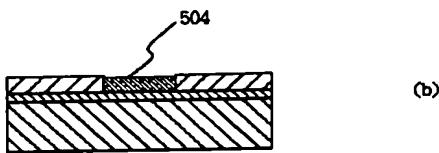
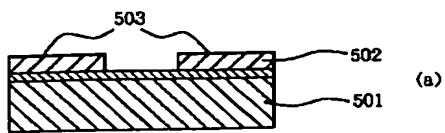
[Drawing 3]



[Drawing 4]



[Drawing 5]



---

[Translation done.]